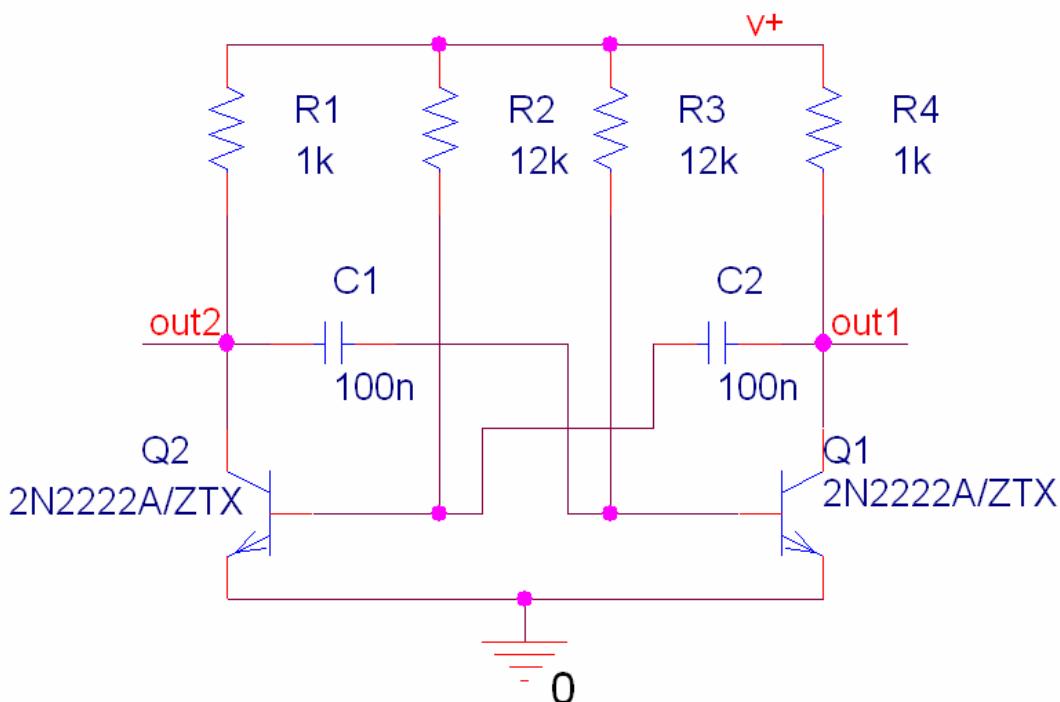


LABORATOR NR. 7  
(Proiectarea asistată de calculator)

**CIRCUIT ASTABIL**

Se dă schema de mai jos:



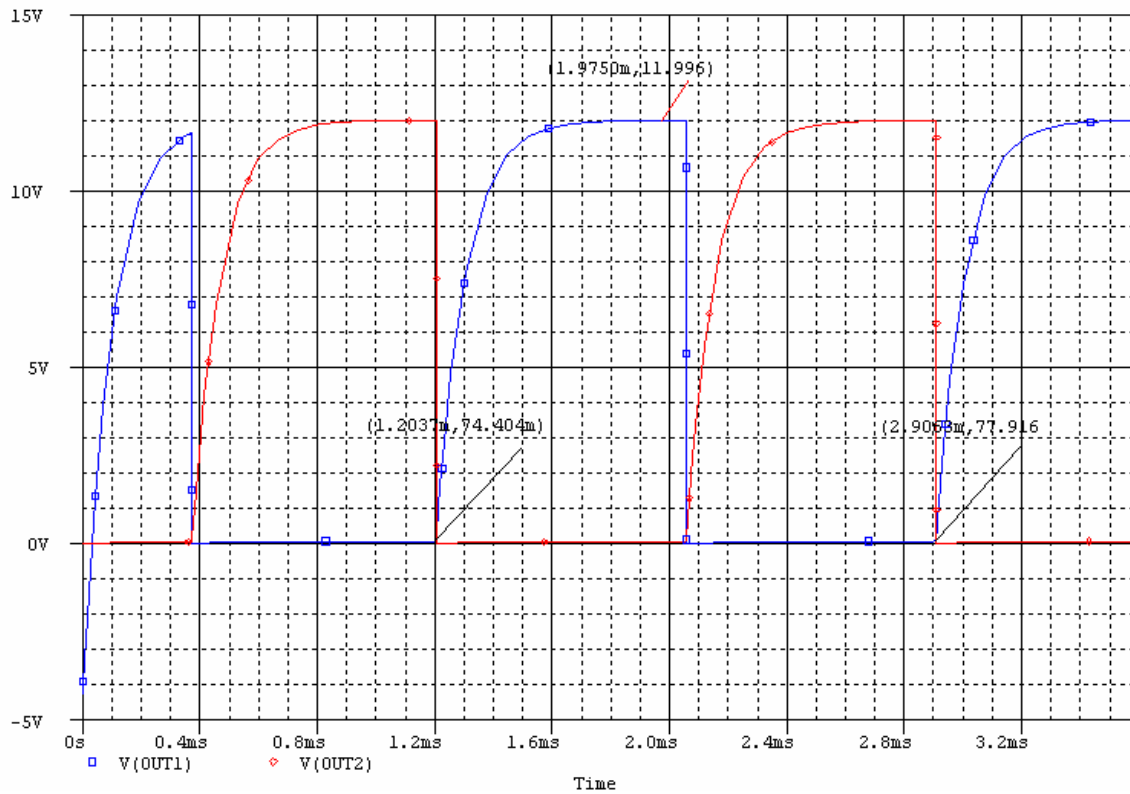
Cerințe:

1. Se editează schema utilizând componentele adecvate, se introduce în proprietățile condensatorului  $C_2$  condiția inițială  $IC=5$ , se folosesc etichetele (net alias) și sursa de alimentare de tip VDC cu valoare de 12V între eticheta v+ și masă.
2. Se calculează perioada de oscilație cu formula  $T=R_2 * C_2 * \sqrt{2}$ . Se editează profilul pentru simularea în timp (**Time Domain**) cu parametrii **Run to time** =  $3*T$ , se afișează tensiunile din colectoarele tranzistoarelor (out1 și out2) și se etichetează în punctele critice. Se măsoară pe grafic perioada semnalului și se compară cu cea calculată. De ce diferă cele două perioade?
3. Se generează fișierele \*.net, \*.bom și \*.drc.
4. Se înlocuiesc sursele de semnal și tensiune cu conectoare de tip Jumper, se montează de asemenea un Jumper între out și masă. Se crează fișierul **nume.MNL**. (Se minimizează fereastra cu schema, se

selectează fișierul de design **nume.DSN** și din meniul **Tools** se selectează **Create Netlist**). Se deschide aplicația Layout și se crează cablajul urmărind cerințele: cablajul se va realiza doar pe o singură parte (BOTTOM), traseele vor fi groase de 1 mm și vor avea o izolare de 0.5mm și va avea ecran legat la masă cu o izolare de 1mm.

NOTĂ: 1mm = 40 mils, micro = u, mega = meg. Componentele utilizate: condensatoare nepolarizate de tip **c**, tranzistoare de tip **2N2222A/ZTX**.

## Rezolvare



Fișierul **\*.net**

\* source LAB7

R\_R1 OUT2 V+ 1k  
R\_R2 N00467 V+ 12k  
R\_R3 N00487 V+ 12k  
R\_R4 OUT1 V+ 1k  
C\_C1 OUT2 N00487 100n  
C\_C2 N00467 OUT1 100n IC=5  
Q\_Q1 OUT1 N00487 0 Q2N2222A/ZTX  
Q\_Q2 OUT2 N00467 0 Q2N2222A/ZTX  
V\_V1 V+ 0 12Vdc

Fișierul **\*.bom**

Bill Of Materials November 28,2006 9:27:04 Page1

Item	Quantity	Reference	Part	Footprint
1	2	C1,C2	100n	RAD/CK05
2	2	Q1,Q2	2N2222A/ZTX	
3	2	R1,R4	1k	AX/RC05
4	2	R2,R3	12k	AX/RC05

Fişierul \*.drc

Checking Pins and Pin Connections

-----  
Checking Schematic: SCHEMATIC1  
-----

Checking Electrical Rules

Checking for Unconnected Nets

Checking Off-Page Connections

Checking Pin to Port Connections

Checking for Invalid References

Checking for Duplicate References

Reporting Off-Grid Objects

Reporting Ports

Reporting Off-Page Connections

Reporting Globals

0

Reporting Net Names

0

N00467

N00487

V+

OUT1

OUT2

Checking Visible Unconnected Power Pins

Checking Misleading Tap connection

Check Bus width mismatch